

LES FAMILLES TECHNOLOGIQUES

1 - CARACTÉRISTIQUES PRINCIPALES D'UNE PORTE LOGIQUE :

Dans le cours de numérique vu précédemment, nous n'avions étudié le fonctionnement des portes logiques (portes NON, NAND, ...) qu'avec des niveaux logiques « 0 » et « 1 » en entrée et en sortie.

Pour l'utilisation pratique de ces portes, il faut avoir à l'esprit les contraintes technologiques liées à ces portes.

1 - 1 Niveau de Fonctionnement :

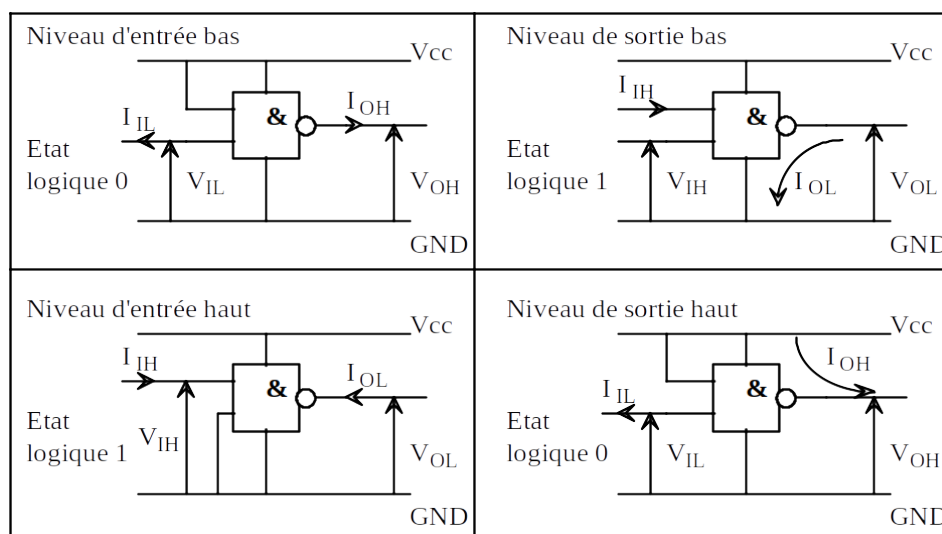
Afin de rendre compatible tous les types de circuits intégrés fabriqués par différents constructeurs, des plages d'alimentations des CI ont été créées (exemple : l'alimentation des CI en technologie TTL LS est de 5V +/-5% quelle que soit la marque du CI).

De plus, les constructeurs de circuits intégrés ont défini des plages de tension et de courants des signaux logiques « 1 » et « 0 » en entrée et en sortie, c'est à dire :

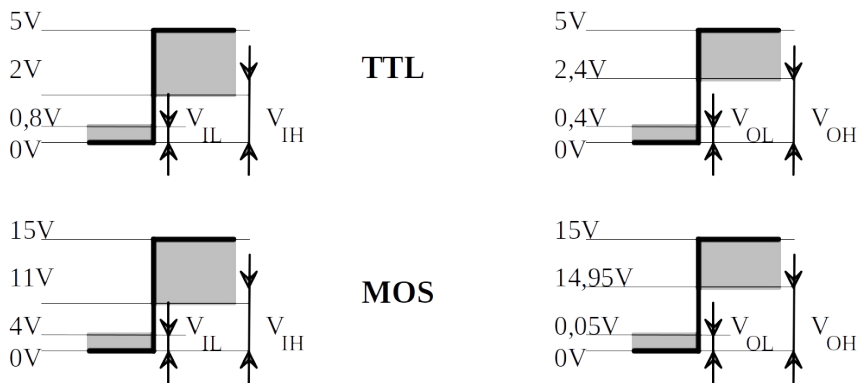
- V_{IH} ($V_{Input-High}$: tension d'entrée pour que la porte voit un niveau logique haut : « 1 » en entrée)
- V_{IL} ($V_{Input-Low}$: tension d'entrée pour que la porte voit un niveau logique bas « 0 » en entrée)
- V_{OH} ($V_{Output-High}$: tension de sortie lorsque la porte présente un niveau logique haut « 1 » en sortie)
- V_{OL} ($V_{Output-Low}$: tension de sortie lorsque la porte présente un niveau logique bas « 0 » en sortie)

Il en est de même pour les courants c'est à dire I_{IH} , I_{IL} , I_{OH} , I_{OL} .

Sur les 4 schémas représentés ci-dessous, nous avons représenté une porte NAND dans les 4 états différents ainsi que le sens des courants, et les tensions.



Signal d'entrée d'une porte : Signal de sortie d'une porte :

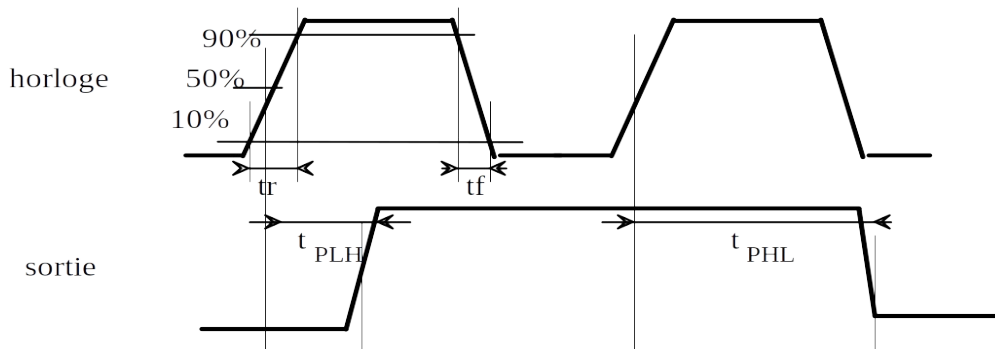


1 - 2 Temps de retard d'une porte :

Les retards notés t_{PLH} et t_{PHL} (Temps de Propagation « Low to High » ou « High to Low ») correspondent aux transitions bas (Low) vers haut (High) et inversement. Les temps sont mesurés en prenant comme instants origine et fin, le moment où les signaux E et S passent par un potentiel V spécifié par le constructeur. Par exemple ; pour la technologie TTL LS, les temps de propagation sont égaux à 15ns au maximum.

1 - 3 Temps de montée et de descente :

Les temps de montée (t_{rise} ou t_r) et de descente (t_{fall} ou t_f) sont mesurée entre 10 et 90 % de l'amplitude du signal.



1 - 4 Sortance – Entrance :

Sortance ou **fan out** : nombre de charges qu'une sortie peut commander.

En effet, si la porte logique fournit une tension en sortie au niveau haut (V_{OH}) qui est importante, plus on la chargera (la porte doit fournir un courant important), plus la tension de sortie (V_{OH}) diminuera (chute de tension due à la résistance interne de la sortie de la porte logique).

Sortance à l'état bas : $S_L = \frac{I_{OLmin}}{I_{ILmax}}$ en TTL LS : $S_L = \frac{8}{1,6} = 5$

Sortance à l'état haut : $S_H = \frac{I_{OHmax}}{I_{IHmin}}$ en TTL LS : $S_H = \frac{400}{40} = 10$

I_O : courant de sortie, I_I : courant d'entrée L à l'état bas, H à l'état haut.

- **Entrance** ou **fan in** : nombre de charges que le circuit représente en entrée pour une sortie l'alimentant.

Bien que la famille Cmos rapide possède de faibles valeurs de courant d'entrée, elle est capable de fournir le même courant de sortie que la TTL LS.

Entrance à l'état bas : $E_L = \frac{I_{IL,max}}{1,6mA}$ en TTL LS : $E_L = \frac{0,36}{1,6} = 0,25$

Entrance à l'état haut : $E_H = \frac{I_{IH,max}}{40\mu A}$ en TTL LS : $E_L = \frac{20}{40} = 0,5$

1 - 5 Immunité au bruit (Vn) :

Elle se caractérise par l'amplitude du signal entrant qui provoque un changement d'état à la sortie du circuit. Si l'on prend le pire des cas, l'immunité au bruit est de $V_{OH} - V_{IL}$ sur le niveau 1, et $V_{IL} - V_{OL}$ sur le niveau 0 (0,4 V pour une porte TTL). Il s'agit de l'immunité statique. En pratique, on dépasse ces valeurs si le signal parasite est suffisamment bref.

NB : On appelle le bruit, un parasite électrique.

1 - 6 Puissance consommée :

Lors du changement d'état de la sortie d'une porte MOS, la puissance consommée augmente. Ceci est dû à la charge et à la décharge des capacités réparties. La puissance consommée par porte est donc proportionnelle à la fréquence du signal d'entrée : $P_d = C_T \cdot V_{dd}^2 \cdot f_h$.
avec C_T : capacité totale $\approx 0,1$ pF, V_{dd} tension d'alimentation, f_h : fréquence de l'horloge.

En pratique, cette puissance sera augmentée de 10 à 15 % pour tenir compte du fait que les flans du signal d'attaque ne sont pas raides, et peuvent provoquer la conduction simultanée des MOS de sortie.

2 - UTILISATION DES SORTIES :

2 - 1 Sorties à collecteur ouvert (CO)

Elles permettent d'avoir une tension commandée différente de V_{cc} . Il faut cependant rajouter un composant supplémentaire. A savoir une résistance de rappel.

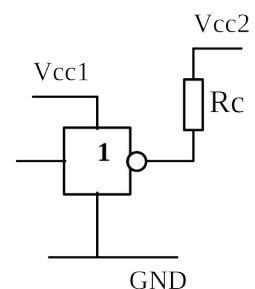
Calcul de R_c :

$$R_{c_{min}} = \frac{V_{cc_{max}} - V_{OL}}{I_{OL} - N_{2L} \times 1,6(mA)}; R_{c_{max}} = \frac{V_{cc_{min}} - V_{OH}}{N_1 \times I_{OH} + N_{2H} \times 0,04(mA)}$$

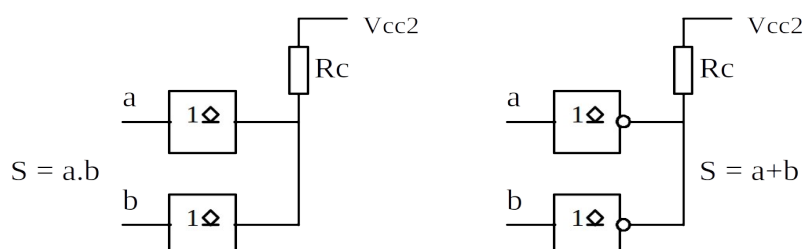
N_1 : nombre de charges commandées,

N_{2L} : nombre d'unité de charge à l'état bas,

N_{2H} : nombre d'unité de charge à l'état haut.



2 - 2 Utilisation des CO :

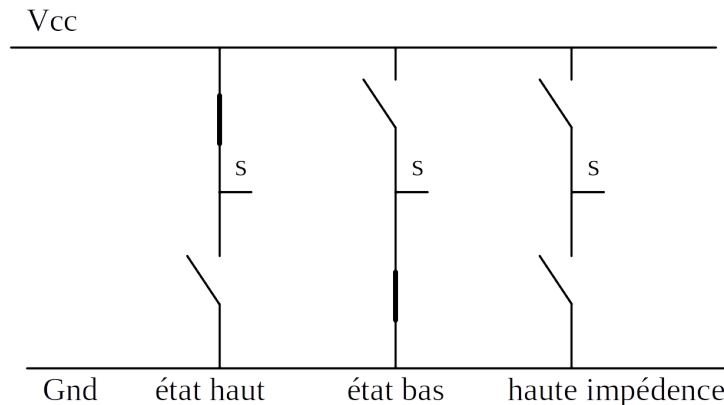


2 - 3 Sortie Bufférisée :

Ces circuits possèdent un amplificateur de sortie. La présence de ces étages tampons permet d'améliorer l'immunité au bruit statique. La mise en forme des impulsions est favorisée par le fait que le changement de niveau de la sortie est pratiquement indépendant du temps de montée et de descente de l'entrée

2 - 4 Sortie 3 états :

Il existe une technologie trois états : état bas, état haut, état 3 ou haute impédance. Ceci permet de déconnecter un composant d'un montage, d'un bus par exemple.



3 - PRÉCAUTION D'EMPLOI :

3 - 1 Tension d'alimentation :

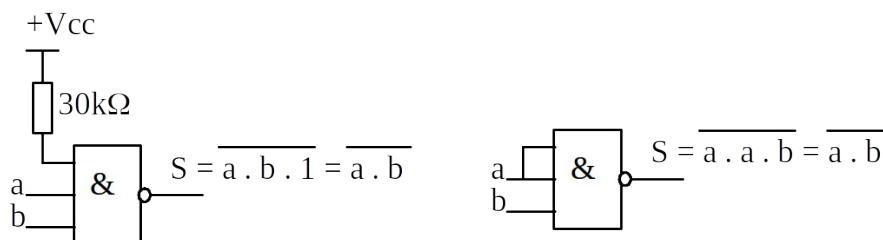
Pour éviter les perturbations de fonctionnement dues aux pointes de tension de l'alimentation on découplera les circuits par groupe de 4 à 6 boîtiers par un condensateur céramique (ou tantale goutte) de 0,1 à 1 μF .

3 - 2 Manipulation :

Toute manipulation de circuits (câblage, débrochage, ...) ne doit jamais s'effectuer sous tension. Veiller à couper l'alimentation lors d'une intervention.

3 - 3 Entrées non utilisées :

De façon à éviter que les signaux parasites ne perturbent le fonctionnement du circuit par des entrées non utilisées, on ne laisse pas d'entrée en l'air, il est préférable de les relier sur une entrée utilisée ou sur un niveau logique stable ($+V_{cc}$ ou 0 V).

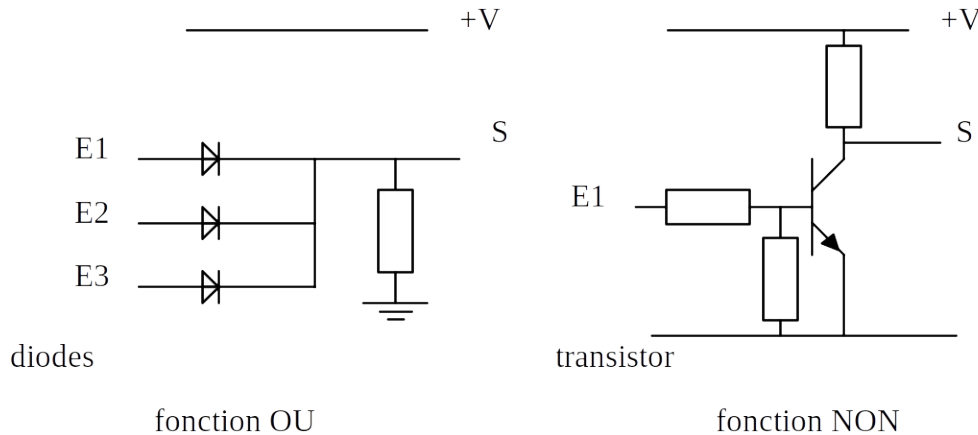


4 - FAMILLES LOGIQUES :

4 - 1 Logique à éléments discrets :

Dans cette famille, on utilise des diodes et des transistors.

Inconvénients : nombre d'entrée limitée, dégradation du signal de sortie, forte consommation.



4 - 2 Logique TTL

TTL = Transistors Transistors Logic.

Les entrées et les sorties sont réalisées avec des transistors. Toutes les entrées sont réalisées avec des transistors multi émetteurs. L'impédance de sortie sera faible quel que soit le niveau logique. Cette famille propose actuellement le plus grand choix de circuit.

Dans la famille TTL, il existe plusieurs types, la plus connue est la TTL LS.

Numérotation de la série TTL : Cette numérotation se schématise de la manière suivante :

SN 74 LS 00 N Code fabricant Gamme de température Famille N° définissant la fonction Type de boîtier	Gamme de température : - 54 : -55°C à 125°C - 74 : 0 à 70°C Type de boîtier : - N et D : plastique - F, W, G : Céramique
--	--

4 - 3 Famille CMOS :

CMOS =Complementary Metal Oxyde Semiconductor

On distingue dans cette famille :

- ◆ CMOS classique 74 C xx (même technologie que la série 4000)
- ◆ CMOS rapides (High-speed CMOS) 74 HC xx et 74 HCT xx.. Pour un même numéro de type de circuit, la fonction et le brochage sont identiques ; la tension d'alimentation est compatible pour toute la série. Les circuits 74 C peuvent fonctionner avec une tension comprise entre 3 V et 18 V.

Protection des entrées : L'entrée d'un transistor MOS se présente comme un condensateur de faible valeur (1 pF) et à très faible courant de fuite (1 pA). Sans protection, l'électricité électrostatique peut détériorer le dispositif. Aussi toutes les entrées MOS sont protégées par un ensemble de résistances et de diodes.

Numérotation de la série CMOS : Cette numérotation se schématise de la manière suivante :

HE	F	4XXX	B	X	Y	Numéro de circuit complet
HE						Famille
	F					Température : -40 à 85°C
	C					Température : -55 à 125°C
		4XXX				N° définissant la fonction
			B			Bufférisé (UB : Non bufférisé)
			V			Plage de tension d'alim réduite
				X		Code du boîtier
					Y	Solution éventuelle (B : déverminage)

4 - 4 Famille CMOS 3,3 V :

Pour reculer les limites de l'intégration qui sont liées à la tension de claquage (0,5 μm pour $V_{cc} = 5\text{ V}$), on utilise la technologie 3,3 V qui permet d'atteindre sans problème 0,3 μm .

Avantages : Très haute intégration (circuits complexes). Fonctionne sous piles ou accumulateurs. Plus économique (boîtier plastique au lieu de céramique).

Inconvénients : Toutes les fonctions ne sont pas disponibles. Circuits un peu plus lents que leurs homologues en CMOS. Ne possèdent pas assez de puissance pour la commande.

5 - CHOIX D'UNE FAMILLE LOGIQUE

Facteurs à considérer

- ◆ la vitesse,
- ◆ la consommation,
- ◆ la source d'alimentation,
- ◆ le prix des circuits logiques,
- ◆ la sécurité d'approvisionnement,
- ◆ le nombre de fonctions existantes dans la famille,
- ◆ la comptabilité entre les sous-familles,
- ◆ la fiabilité de la technologie choisie (boîtier plastique, métallique),
- ◆ la gamme de température.

6 - COMPARAISON DES PARAMÈTRES DES DIFFÉRENTES FAMILLES :

Comparaison des technologies de circuits logiques TTL & MOS

	Technologie	Alim (V)	V _{IH} (V)	V _{IL} (V)	I _{IH} (A)	I _{IL} (A)	V _{OH} (V)	V _{OL} (V)	I _{OH} (A)	I _{OL} (A)	T _{plh} (sec)	T _{phl} (sec)
Technologie TTL	standard 7400	4,75 5,25	2	0,8	40μ	-1,6m	2,4	0,4	-0,4m	16m	22n	15n
	militaire 5400	4,5 5,5	2	0,8	40μ	-1,6m	2,4	0,4	-0,4m	16m	22n	15n
	74S00	4,75 5,25	2	0,8	50μ	-2m	2,7	0,5	-1m	20m	45n	5n
	54S00	4,5 5,5	2	0,8	50μ	-2m	2,5	0,5	-1m	20m	45n	5n
	74LS00	4,75 5,25	2	0,8	20μ	-0,4m	2,7	0,5	-0,4m	8m	15n	15n
	54LS00	4,5 5,5	2	0,7	20μ	-0,4m	2,5	0,4	-0,4m	4m	15n	15n
	74ALS00A	4,5 5,5	2	0,8	20μ	-0,1m	V _{cc} - 2	0,5	-0,4m	8m	11n	8n
	54ALS00A	4,5 5,5	2	0,7	20μ	-0,1m	V _{cc} -2	0,4	-0,4m	4m	16n	13n
	74AS00	4,5 5,5	2	0,8	20μ	-0,5m	V _{cc} - 2	0,5	-2m	20m	4,5n	4n
	54AS00	4,5 5,5	2	0,8	20μ	-0,5m	V _{cc} -2	0,5	-2m	20m	5n	5n
	74F00	7.75 5.25	2	0.8	20μ	-0,6m	2,5	0,5	-1m	20m	4n	4n
	4000 74C00	3 à 15	2	0,8			4,9	0,1	-6,8m	6,8m	80n	80n
	74HC00	2 à 6	3,5	1	1μ	10μ	V _{cc} -0,1	0,1	-25m	25m	15n	15n
	54HC00	2 4,5 6	1,5 3,15 4,2	0,3 0,9 1,2	+1μ	-1μ	V _{cc} -0,1	0,1	-25m	25m	135n 27n 23n	135n 27n 23n
Technologie CMOS	74HCT00	4,5 à 5,5	2	0,8	+1μ	-1μ	V _{cc} -0,1	0,1	-25m	25m	25n	25n
	54HCT00	4,5 5,5	2	0,8	+1μ	-1μ	V _{cc} -0,1	0,1	-25m	25m	30n	30n

Sources d'information

Texas Instrument : TTL Data Book vol 1 & 2 (93)
High-speed CMOS Logic (93)

Motorola : CMOS Logic (93)

Et le guide du technicien en électronique (hachette Technique)

Conditions de mesures

Circuit de référence : Quadruple porte NAND (7400, 4011)

$t_{amb} = 25^{\circ}\text{C}$ (température ambiante)

I_{CC} : I_{CCH} : V_{CCmax} , $V_{IH} = 0$
 I_{CCL} : V_{CCmax} , $V_{IH} = 4,5\text{V}$

V_{OH} : V_{CCmin} , V_{ILmax} , I_{OHmax}

V_{OL} : V_{CCmin} , V_{IHmin} , I_{OLmax}

I_{IH} : V_{CCmax} , V_{IHmin}

I_{IL} : V_{CCmax} , V_{ILmax}

Dénominations

TTL : Transistor-Transistor Logic

MOS : Metal Oxyde Semiconductor

C-MOS : Complémentary MOS

7400	: Technologie TTL standard
74L00	: Faible consommation (Low Power)
74S00	: Technologie Schottky (Rapide)
74LS00	: Schottky & Faible consommation
74ALS00	: Advanced Low Power Schottky
74AS00	: Advanced Schottky
74F00	Fast
74C00	CMOS
74HC00	: Technologie CMOS compatible avec série LS (pin to pin + niveaux)
74HCT00	: technologie CMOS, compatible avec les circuits TTL, HC et MOS

Remarques :

L'une des premières sources de panne sur les montages réalisées avec des circuits intégrés est l'oubli de la source d'alimentation du CI, ou encore une valeur non-adaptée à la technologie.

Il faut également veiller à couper l'alimentation lorsqu'on retire un CI.